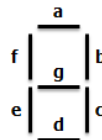


Asignatura: Electrónica Digital**PEC diciembre 2018****Fecha:** 10 de diciembre de 2018**Cuestión única (10 puntos)**

Con objeto de reducir el cableado de un ascensor, se pretende realizar un sistema de visualización del piso en el que se encuentra dicho ascensor, que recibe los datos de forma serie por una interfaz muy sencilla y de pocos cables. La visualización se realiza sobre dos displays de siete segmentos.

La información con los dígitos a visualizar se recibe por una línea serie formada por dos líneas, una línea **DIN** (Dato In) por la que se reciben en forma serie durante ocho ciclos de reloj consecutivos, los dos dígitos a visualizar, en formato BCD, empezando por el bit más significativo del dígito más significativo hasta terminar por el bit menos significativo del dígito menos significativo. La otra señal que se recibe, denominada **CT** (Comienzo de Trama) marca el comienzo del primer bit que se transmite, activándose durante un solo ciclo de reloj coincidente con la recepción del primer bit de información de **DIN**. La información que pueda circular por DIN tras ocho ciclos se descarta hasta que llegue un nuevo flanco por **CT**.

La información recibida se debe mostrar sobre dos displays de siete segmentos, multiplexados en el tiempo, por lo que las señales de salida del circuito son un vector de siete señales SEG(6 down to 0) donde SEG(6) corresponde con el segmento a, hasta SEG(0), que corresponde con el segmento g. (ver imagen). Adicionalmente, dos señales **SelD** y **SelU** (Selección de decenas y unidades, respectivamente). El refresco para los displays será de 1kHz. Todo el circuito funcionará de manera síncrona, empleando para ello una señal externa de reloj (CLK) de 1MHz.



El sistema consta de los siguientes elementos:

- Un conversor de datos serie a paralelo, que transforma el dato en una señal de ocho bits, cuyo valor debe ser el dato a representar (los dos dígitos BCD) desde el momento en que se recibe el último bit de una transmisión, hasta que se recibe el último bit de la transmisión siguiente.
- Un sistema de multiplexación temporal en el que a la frecuencia de refresco mencionada anteriormente, se seleccione un dígito BCD o el otro, activando las señales **SELD** y **SELU** de manera acorde.
- Un único conversor de BCD a siete segmentos. Si el número recibido no fuera BCD, se debe sacar una E (indicador de error).

Se pide:

- a) Código VHDL (entidad y arquitectura) del conversor de datos serie a paralelo. (2,5 puntos)
- b) Código del circuito completo, en el que se instanciará el conversor serie del apartado a y se añadirán los procesos o sentencias concurrentes adicionales necesarias. (3 puntos)
- c) Se quiere añadir dos LEDs adicionales, para indicar si el ascensor debe subir o bajar (señales **UP** y **DOWN**) respectivamente. Estas señales se deben obtener registrando el valor de los dos dígitos anteriores y compararlo con los valores actuales. Describir el código VHDL de la arquitectura que sería necesario añadir para tener esta funcionalidad adicional. (2,5 puntos)
- d) Código de un banco de pruebas (testbench) en el que se verifique el reset del sistema, una transmisión correcta, su visualización durante 1 segundo, y otra incorrecta, visualizada durante otro segundo. (2 puntos)

Duración del examen: 1 hora y 30 minutos